

10/27/526
07/15/04

DIALOG(R) File 351: Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

008957719 **Image available**

WPI Acc No: 1992-084988/ 199211

XRPX Acc No: N97-439042

Multi-electron beam source for image display apparatus - includes
rectifying element which is connected in parallel to electron emitting
elements of row of electron emitting elements for removing spike-like
noise generated by driving circuit

Patent Assignee: CANON KK (CANO)

Inventor: KANEKO T; NOMURA I; ONO H; SUZUKI H

Number of Countries: 002 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4028137	A	19920130	JP 90131347	A	19900523	199211 B
US 5682085	A	19971028	US 9310436	A	19930128	199749
			US 9357544	A	19930506	
			US 95467900	A	19950606	
JP 2967288	B2	19991025	JP 90131347	A	19900523	199950
US 6157137	A	20001205	US 9310436	A	19930128	200066 N
			US 9357544	A	19930506	
			US 95467900	A	19950606	
			US 97956170	A	19971022	

Priority Applications (No Type Date): JP 90131347 A 19900523; US 97956170 A
19971022

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 4028137	A		8		
US 5682085	A		26	G09G-003/10	CIP of application US 9310436 Cont of application US 9357544
JP 2967288	B2		8	H01J-001/30	Previous Publ. patent JP 4028137
US 6157137	A			G09G-003/10	CIP of application US 9310436 Cont of application US 9357544 Cont of application US 95467900 Cont of patent US 5682085

Abstract (Basic): US 5682085 A

The multi-electron beam source includes electron emitting elements which are provided two-dimensionally in a matrix like arrangement on a substrate. Opposing terminals of electron emitting elements are arranged adjacently in the column direction thereof being electrically connected to each other. Terminals arranged on the same side of all the electron emitting elements in the same row are electrically connected. The electron emitting elements are arranged in 'm' rows, 'm' representing a number of two or more.

A driving circuit drives the electron emitting elements. The multi-electron beam source is able to prevent a spike like voltage using a rectifying element which is connected in parallel with the electron emitting elements of a row of electron emitting elements for removing a spike-like noise superimposed onto the driving pulse generated by the driving circuit and a resistor

connected in series to the rectifying element.

USE/ADVANTAGE - Abnormal (instantaneous high) voltage can be prevented. Switching elements are protected.

Dwg. 8/17

1. The first step in the process is to identify the problem or issue that needs to be addressed. This involves gathering information and understanding the context of the problem.

④ 日本国特許庁 (J P)

⑩ 特許出願公開

⑥ 公開特許公報 (A)

平4-28137

⑨ Int. Cl.⁸

識別記号

庁内整理番号

⑧ 公開 平成4年(1992)1月30日

H 01 J 1/30
31/12

A 9058-5E
B 6722-5C

審査請求 未請求 請求項の数 2 (全8頁)

⑦ 発明の名称 マルチ電子ビーム源及びこれを用いた画像表示装置

⑨ 特 願 平2-131347

⑨ 出 願 平2(1990)5月23日

⑦ 発 明 者	鐘 英 俊	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑦ 発 明 者	野 村 一 郎	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑦ 発 明 者	小 野 治 人	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑦ 発 明 者	金 子 哲 也	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑦ 出 願 人	キヤノン株式会社	東京都大田区下丸子3丁目30番2号	
⑦ 代 理 人	弁理士 豊田 善雄	外1名	

明 細 書

1. 発明の名称

マルチ電子ビーム源及びこれを用いた
画像表示装置

2. 特許請求の範囲

(1) 基板上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する電子同士を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の電子同士を電気的に結線してなり、前記列方向の複数の電子放出素子は2列以上のm列にわたって設けられ、かつ、前記m列の電子放出素子の各列には、電子放出素子と並列して誘電素子が設けられていることを特徴とするマルチ電子ビーム源。

(2) 請求項1記載のマルチ電子ビーム源を用い、その上方に、該マルチ電子ビーム源を構成する2次元に配列された電子放出素子の行方向にグリッド電極を配設し、さらにその上方に、電子

ビームの照射により映像を可視化する為の蛍光体ターゲットを配設したことを特徴とする画像表示装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、多数の電子放出素子を複数列にわたり配列形成したマルチ電子ビーム源及びこれを用いた画像表示装置に関する。

【従来の技術】

従来、簡単な構造で電子の放出が得られる素子として、例えば、エム アイ エリンソン (H. I. Elinson) 等によって発表された冷陰極素子が知られている。【ラジオ エンジニアリング エレクトロン フィジックス (Radio Eng. Electron. Phys.) 第10巻、1290～1296頁、1965年】。

これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するもので、一般には表面伝導形電子放出素子と呼ばれている。

この表面伝導形電子放出素子としては、前記

エリンソン等により開発された $\text{SnO}_2(\text{Sb})$ 層膜を用いたもの、Au層膜によるもの【ジー・ディトマー・スウィン ソリッド・フィルムズ” (G. Dittmer: "Thin Solid Films"), 9巻, 317頁, (1972年)], ITO 層膜によるもの【エム・ハートウェル アンド シー・ジー・フォンスタッド: “アイイー・イー・イー・トランス” イー・ディー・コンフ. (H. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf. ") 519頁, (1975年)], カーボン層膜によるもの【宮本久他: “真空”, 第26巻, 第1号, 22頁, (1983年)] などが報告されている。

また、表面伝導形電子放出素子以外にも、HIN形電子放出素子や微細な電界放射電子銃 (C. A. Spindt et al., J. Appl. Phys., Vol. 47, No. 12, P5248, 1978) などの冷陰極素子が報告されている。

これらの冷陰極素子は、

- 1) 高い電子放出効率が得られる
- 2) 構造が簡単であるため、製造が容易である

成することが容易な為、例えば平板形CRT などへの応用が大いに期待されるところである。

【発明が解決しようとする課題】

しかしながら、第6図に示すマルチ電子ビーム源を電気回路で駆動する場合、本来休止中の素子列にスパイク状の電圧が印加されるという問題が発生していた。第7図と第8図は、かかる問題を説明する為の図である。

先ず第7図は、前記第6図のマルチ電子ビーム源を駆動する為を用いる回路の典型例を示したものである。図中、 $E_1 \sim E_m$ の各配線電極には、例えば電界効果トランジスタ (FET) のようなスイッチング素子がトータムポール型に接続されており、各FETのゲート電極 $GP_1 \sim GP_m$ 、および $GN_1 \sim GN_m$ を適宜制御することにより、各配線電極には0[V] (グラウンドレベル) か又は V_0 [V] が選択的に印加できるものである。

第8図は、前記第7図のマルチ電子ビーム源を駆動する際に、各部に印加される電圧を例示するグラフである。同図①に示すように、休止期間を

3) 同一基板上に多数の素子を配列形成できる等の利点を有する。

そこで、これらの冷陰極素子を多数個密集して配列させ、しかも電気配線の抵抗を低減する方法として、本発明者等は第6図に示すような方法を既に提案した。図中 E_1 は電子放出素子で、 $E_1 \sim E_m$ は配線電極を示しており、 m 列の電子放出素子列が配列形成されている。

本装置は、任意の一行を選択的に駆動する事が可能で、例えば電極 E_1 に V_0 [V]、電極 $E_2 \sim E_m$ に0 [V] を印加すれば、第1列の素子にのみ V_0 [V] の駆動電圧が印加され、この列の素子のみ電子ビームを放出する。一般的には、第 n 列を駆動する為には、電極 $E_1 \sim E_n$ に V_0 [V] を印加し、電極 $E_{n+1} \sim E_m$ に0 [V] を印加すればよく、また、どの列も駆動しない場合には $E_1 \sim E_m$ を全て同電位 (例えば0 [V]) にすればよい。

このような列順次駆動が可能なマルチ電子ビーム源は、素子列と直交するグリッド電極を設けることにより、XYマトリクス形の電子ビーム源を構

造しながら、第1列目から順次素子列を駆動してゆく場合を想定する。(かかる駆動手段は、マルチ電子ビーム源を平板形CRT などに応用する場合一般に行われる方法である。)

この様な駆動を行うにあたり、配線電極 $E_1 \sim E_m$ には、同図②～⑤に示すようなタイミングで V_0 [V] の矩形電圧パルスが印加される。例えば、電子放出素子の第1列目には②と③の差電圧が印加されるのであるから、②で示される第1列駆動タイミングにおいてのみ V_0 [V] がかかることになる。以下同様、第2列目には③と④の差電圧、第3列目には④と⑤の差電圧が印加されることになる。

しかしながら、各素子列に印加される電圧を、実際にオシロスコープなどを用いて観測してみると、同図②～⑤に示すように、他の素子列をオンまたはオフするタイミングにおいて、スパイク状の電圧 SP_1 (図中点線で示す) または SP_m (図中実線で示す) が印加されることが判った。

このようなスパイク状の電圧のうち、逆方向電圧 SP_m が電子放出素子に印加される場合には、

素子の電子放出特性の劣化が著しく早くなったり、あるいは同時に破壊されることがあり、かかるマルチ電子ビーム源を表示装置などへ応用するうえで大きな問題となっていた。

この様なスパイク状の電圧が発生するのは、前記の①～③に示した各電極への印加電圧波形に時間的なずれが生じていると考えられる。例えば第1列目の場合、第2列目以降の電子列をオン（またはオフ）するタイミングにおいて、電極 E_1 と電極 E_2 は同時に $0[V] \rightarrow V_1[V]$ （または $V_1[V] \rightarrow 0[V]$ ）へスイッチするべきであるが、このタイミングにずれがあると④に示したようなスパイク状の電圧が印加されてしまうわけである。

その際、正電圧のスパイク $SP_{1,1}$ となるか、負電圧のスパイク $SP_{1,1}$ となるかは、 E_1 印加電圧と E_2 印加電圧のうちどちらが先行してスイッチしたかによって決まるものである。

各電極に印加する電圧波形に時間的なずれが生じる原因としては、前記第7図で示した駆動回路のFETのゲート番号 $GP_1 \sim GP_m$ 、 $GN_1 \sim GN_m$ が

ずれていたり、あるいは、FETの特性ばらつきによりスイッチング時間がばらつくことなどが挙げられる。

しかしながら、前記ゲート信号のずれや、FET特性のばらつきを電気回路的に調整して、スパイク状の印加電圧 $SP_{1,1}$ を完全に解消することは、技術的に非常に困難であり、またコストの面から見ても現実的な解決策とは言えなかった。

すなわち、本発明の目的とするところは、上述のような問題を克服したマルチ電子ビーム源及びこれを用いた画像表示装置を提供することにある。

【問題を解決するための手段及び作用】

本発明の特徴とするところは、基板上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する端子同士を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の端子同士を電気的に結線してなり、前記列方向の複数の電子放出素子は2列以上の m 列にわたって

設けられ、かつ、前記 m 列の電子放出素子の各列には、電子放出素子と並列して整流素子が設けられているマルチ電子ビーム源としている点にある。

また、上述マルチ電子ビーム源を用い、その上方に、該マルチ電子ビーム源を構成する2次元に配列された電子放出素子の行方向にグリッド電極を配列し、さらにその上方に、電子ビームの照射により映像を可視化する為の蛍光体ターゲットを配置した画像表示装置をも特徴とするものである。

すなわち、本発明によれば、前記電子放出素子列の各列に、電子放出素子と電気的に並列結線として整流素子を設けることにより、前記スパイク状の逆電圧 $SP_{1,1}$ が印加されることによる電子放出素子の破壊あるいは特性の劣化という問題を防止したものである。

以下、実施例を用いて本発明を具体的に詳述する。

【実施例】

【実施例1】

第1図は、本発明の第1の実施例を示す図で、図中の電子放出素子 ES 、配線電極 $E_1 \sim E_m$ および駆動電圧印加用スイッチング素子 (FET) は、前記従来技術の項で説明したものと同様である。本図中Dで示すのは、整流用ダイオードであり、各電子放出素子列毎に、電子放出素子と並列して設けられている。かかるダイオードDの向きは、任意の n 列において、アノードが配線電極 $E_{n,1}$ に、カソードが配線電極 E_n に接続されている。

かかる構成によれば、前記第8図で説明した駆動手順に従って電子放出素子列を駆動する際、ダイオードDに対して、電子放出素子の駆動電圧 V_1 は逆方向電圧として働き、スパイク状電圧 $SP_{1,1}$ は順方向電圧として働くものである。

従って、かかるダイオードDの働きにより、各電子放出素子列に印加される電圧波形は、第2図①、②、③に示すようになる（尚、各々のグラフは、前記第8図の④、⑤、⑥の電圧波形に対応している。）。

すなわち、各電子放出素子列には、スパイク状の逆電圧 SP_{1-i} が印加されない為、従来問題となっていた電子放出素子の特性劣化や破壊といった現象は発生しなくなり、マルチ電子ビーム源の寿命を實用レベルにまで延ばすことに成功した。

次に、本発明適用のマルチ電子ビーム源を平板形画像表示装置に応用した例を第3図に基づいて説明する。

本図において、VCはガラス製の真空容器で、その一部であるFPは、表示面側のフェースプレートを示している。フェースプレートFPの内面には、例えばITOを材料とする透明電極が形成され、さらにその内面には、赤、緑、青の蛍光体がスパイク状に塗り分けられ、CRTの分野では公知のメタルバック処理が施されている。(透明電極、蛍光体、メタルバックは図示せず。)また、前記透明電極は、加速電圧を印加するために、端子EVを通じて真空容器外と電気的に接続されている。

また、Sは前記真空容器VCの底面に固定されたガラス基板で、その上面には、電子放出素子が

N個×M列にわたり配列形成されている。該電子放出素子群は、配線 E_1, E_2, E_3, \dots により列毎に電気的に並列接続されており、各配線 E_1, E_2, E_3, \dots は、各々端子 $E_{11}, E_{12}, E_{13}, \dots, E_{1M}$ によって、真空容器外と電気的に接続されている。かかる端子 $E_{11} \sim E_{1M}$ は、絶縁材料よりなる基板104に設けられた配線パターン105を介して、図示外の駆動回路と電気的に接続されている。また、各配線パターン106には、ダイオード105が接続されているが、これらは前記第1図で説明したダイオードDに相当するものである。

尚、図中の円内に拡大図示したものは、電子放出素子の一例であり、正極101及び負極102及び電子放出部103より成る表面伝導形放出素子を示している。

また、基板SとフェースプレートFPの間には、ストライプ状のグリッド電極G2が設けられている。グリッド電極G2は、前記素子列と直交してN本設けられており、各電極には電子ビームを透過するための空孔Ghが設けられている。空孔Gh

は、第3図の例のように各電子放出素子に対応して1個ずつ設けてもよいし、あるいは微小な孔をメッシュ状に多数設けてもよい。各グリッド電極は、端子G₁～G₂によって真空容器外と電気的に接続されている。

本装置では、M個の電子放出素子列とN個のグリッド電極列により、XYマトリクスが構成されているため、電子放出列を一列ずつ順次駆動(走査)すると同期してグリッド電極列に画像1ライン分の走査信号を同時に印加することにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示していくものである。

さて、同様な構成でダイオード105を備えていなかった従来の表示装置においては、数十～数百時間程度で輝度むらや画像欠陥等實用上問題となる品質劣化が比較的高い頻度で発生していたが、本実施例の表示装置においては、少なくとも千時間以上にわたって、電子放出素子の特性劣化による品質劣化は発生しなかった。

実施例2

第4図は、前記第1実施例のダイオードDの代りに、ツェナーダイオード2Dを接続した場合を示すものである。この場合には、第1実施例と同様スパイク状逆電圧 SP_{1-i} が電子放出素子に印加されるのを防止する効果があるのはもちろんであるが、適当なツェナー電圧(例えば、 $1.3 \times V_0$ [V])を選択することにより、正極性の異常電圧($1.3 \times V_0$ [V]を超える電圧)が電子放出素子に印加されるのを防止する効果も望むことができる。

実施例3

第5図は、前記第1実施例のダイオードDと直列に電流制限抵抗 r を接続した例で、スパイク状逆電圧 SP_{1-i} に伴い、スイッチング素子に流れるスパイク状の電流を制限するためのものである。ただし、不必要な電力消費を抑える為に、電流制限抵抗 r の値は電子放出素子一列の並列抵抗よりも十分小さいことが望ましい。例えば、電子放出素子1素子の抵抗値10K Ω のものが、100素子並列接続されている場合には、1列の並列抵抗は100 Ω となるわけだが、この場合には r として例

えば10を用いれば、消費電力を大巾に増加させることなくスイッチング素子の保護抵抗として機能させることが可能である。

【発明の効果】

以上説明したように、電気的に並列接続された電子放出素子列の各列に、並列に整流素子を設けることにより、スパイク状の逆電圧が電子放出素子に印加されるのを防止する効果がある。その結果、電子放出素子の電子放出特性の劣化、あるいは破壊を防止することが可能となり、マルチ電子ビーム源の実用上の寿命を大巾に延長することができた。

また、本発明のマルチ電子ビーム源を平板形表示装置に应用することで、従来数十～数百時間で輝度むらや画像欠陥が発生していたものが、少なくとも千時間以上にわたって初期の画質を維持することが可能となり、実用性を大巾に向上させることが可能となった。

4. 図面の簡単な説明

第1図は、本発明に係るマルチビーム電子源を

示した簡易回路図である。

第2図は、本発明の効果を示す為の印加電圧のグラフである。

第3図は、本発明に係るマルチビーム電子源を用いた平板形表示装置の斜視図である。

第4図は、本発明に係る整流素子としてツェナーダイオードを用いたマルチビーム電子源を示す図である。

第5図は、第1図に示すマルチビーム電子源に電流制限抵抗を接続した電子源を示す図である。

第6図は、本発明の適用対象となるマルチビーム電子源の電子放出素子の配列を示す図である。

第7図は、第6図の電子源に用いられる駆動用スイッチング素子の例を示す図である。

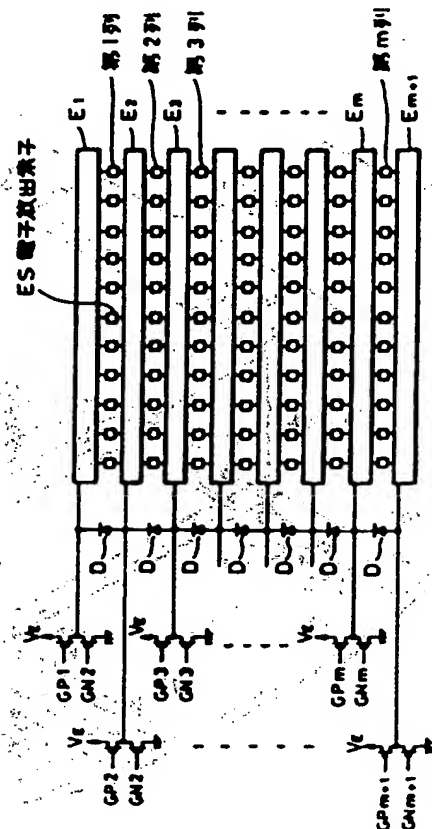
第8図は、従来のマルチ電子ビーム源で問題となっていた、スパイク状逆電圧SP(1)を説明する為のグラフである。

ES—電子放出素子 $E_1, E_2, E_3 \dots E_m$ —配線電極
D, 105—ダイオード ZD—ツェナーダイオード
r—電流制限抵抗 VC—真空容器

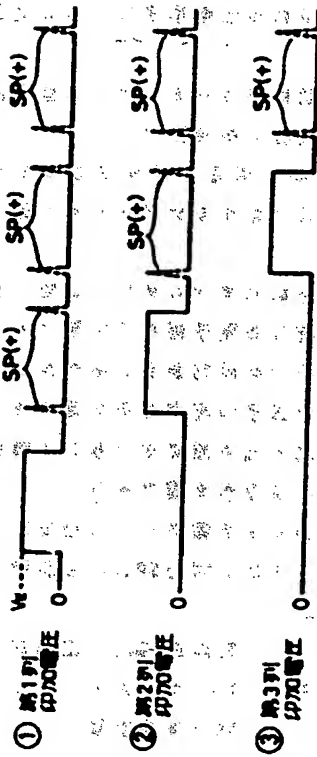
FP—フェースプレート S—ガラス基板
104—基板 106—配線パターン
G1—グリッド電極 Gb—空孔

出願人 キヤノン株式会社
代理人 豊田 徳雄
波 辺 敏 介

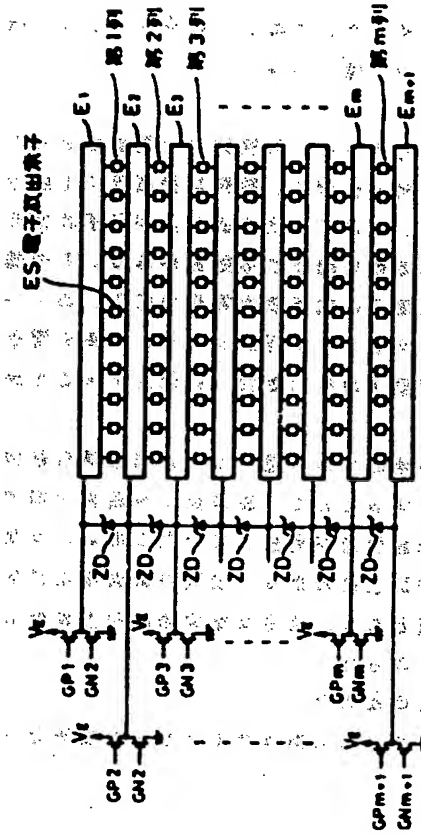
図1



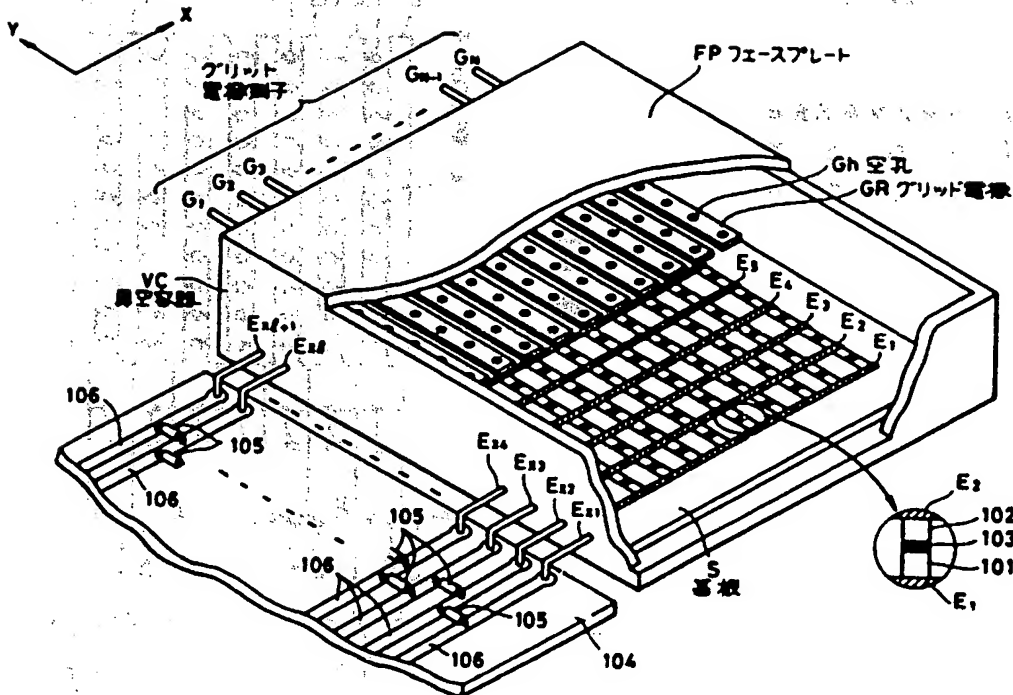
第2図



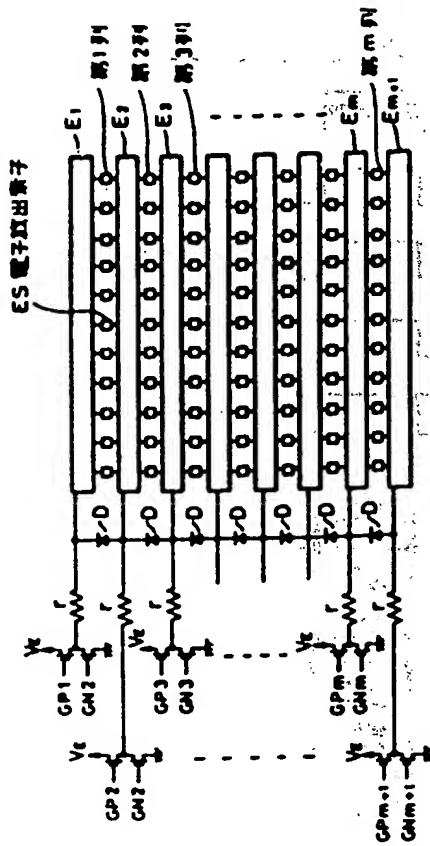
第4図



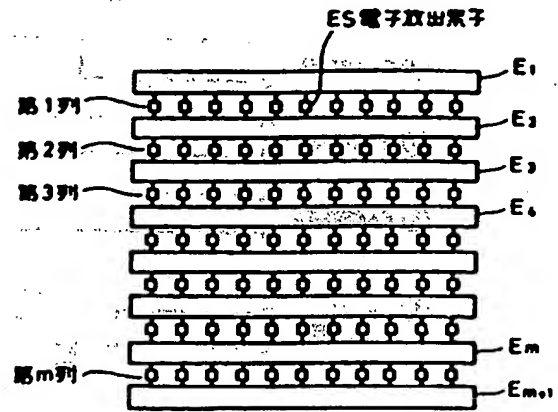
第3図



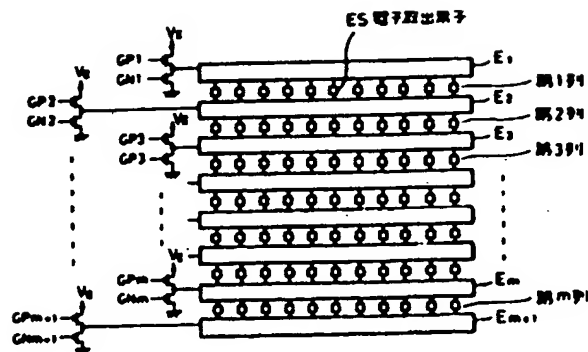
第5図



第6図



第7図



第 8 圖

